

HDK - Auswertung CC 215 Spezifikation Version 1.7

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Inhaltsverzeichnis	<u>Content</u>	Seite
1. Dokumentation	1. Documentation	3
1.1. Unterschriften	1.1. Signatures	3
1.2. Entwicklung	1.2. Development	4
1.3. Fertigung	1.3. Fabrication	4
1.4. Physikalische Größen	1.4. Physical Dimensions	4
2. Allgemeines	2. General Informations	5
2.1. Übersicht	2.1. Overview	5
2.2. Schutzvorschriften	2.2. Handling Instructions	5
3. Funktionale Beschreibung	3. Functional Description	6
3.1. Blockschaltbild	3.1. Block Diagram	6
3.2. Kurze Beschreibung des ICs	3.2. Short Description of the IC	7
4. Betriebsmodi	4. Function modes	8
5. Spezifikation	5. Specification	9
5.1. Absolute Grenzwerte	5.1. Absolute Limits	9
5.2. Kennwerte	5.2. Characteristics	10
5.2.1. Parameter	5.2.1. Parameters	10
5.2.2. Meßbereich und Kennlinie	5.2.2 Range of Measurement and Conversion Characteristics	19
5.2.3. Sinusgenerator und Amplitudenregelung	5.2.3. Sine-Wave-Generator and Magnitude - Control	22
5.2.4 Digitale Schnittstelle	5.2.4. Digital Interface	23
5.2.5. Lese und Schreibzugriff	5.2.5. Read and Write Access	24
5.2.5.1. Zeitdiagramm Lesezugriff	5.2.5.1. Timing Diagram Read Cycles	32
5.2.5.2. Zeitdiagramm Schreibzugriff	5.2.5.1. Timing Diagram Write Cycles	33
5.2.6. Quarzoszillator	5.2.6. Crystal Oscillator	34
5.3. Fehlerfall und Testmodi	5.3. Error Conditions and Test Modes	34
5.3.1. Meßbereichsüberschreitung Fehlermeldung	5.3.1 Out of Range Conditions, Error Messages	34
5.3.2. Testmodi	5.3.2. Test modes	36
6. Gehäusespezifikation und Anschlußbelegung	6. Package Specification and Definitions of Interconnect	39
6.1. Anschlußbelegung	6.1. Definitions of Interconnect	39
6.2. Pinbelegung	6.2. Pin configuration	42
6.3. Padanschlüsse	6.3. Pad Diagram	43
6.4. Bondplan	6.4. Bond Diagram	44
6.5. Gehäusezeichnung	6.5. Package drawing	45
7. Burn- In	7. Burn-In	47
7.1. Burn-In Beschaltung	7.1 Burn-In Circuit	47
7.2. Stückliste	7.2 Burn-In Parts List	48
8. Chipfoto	8. Chipfoto	49
9. Appendix	9. Appendix	50
9.1 Änderungen, zeitlich	9.1 Modifications, chronological	50

1. Dokumentation

1.1 Unterschriften

Version Nr.	Datum	Änderung
1279C01548	01.02.00	Neuausgabe
1279C02052	17.07.01	Überarbeitung

Entw. Abt	Datum	Entw. Abt.	Datum	Fert. Abt.	Datum	Quali. Abt.	Datum
K8/EIS2 Hellwig	01.09.98	K8/EIS2 Wrede	01.09.98	RTW/TEF Gebhardt	23.10.98	RTW/QSG Rauschert	09.10.98
RBOS/EDS1 Schloegl	03.12.98	K8/EIS Kalkhof	01.08.98	RTW/FIW Haack	01.09.98		
RBOS/EDS Ziegenbein	04.12.98						

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

1.2. Entwicklung

Designverantwortung :
 (Design Authorship)
 Design- Ingenieure :
 (Design Engineers)
 Projektingenieur:
 (Project Engineer)
 Testprogramm:
 (Test Program)
 Test-Ingenieur:
 (Test Engineer)

1.2 Development

K8/EIS
 Gangei, Hellwig, Huch
 Hellwig
 K8/EQF
 Andler

1.3. Fertigung

Waferherstellung :
 (Wafer Fabrication)
 Prozeß des Herstellers:
 (Fabrication Process)
 Kritische Dimensionen :
 (Critical Dimensions)
 Maskenherstellung:
 (Mask Fabrication)
 Bosch Typennummer :
 (Bosch Type Number)
 Datenband an Hersteller
 (GDSII - Tape to Fab)
 Erstes Silizium bei Bosch :
 (1st Silicon at Bosch)
 Datenband an Hersteller :
 (GDSII - Tape to Fab)
 Musterauswertung beendet :
 (Samples qualified)
 Freigabe abgeschlossen :
 Qualification finished

1.3.Fabrication
Ersthersteller (1st Source)

RtW/FAW
 HC65D0.80
 0.8µm
 Compugraphics
 CC215
 06.12.96
 Feb. 97
 26.01.98
 04.12.98
 15.06.99

1.4.Physikalische Größen

Chipgröße:
 (Chipsize)
 Chipdicke:
 (Thickness of Chip)

1.4. Physical Dimensions

X = 3.900 mm
 Y = 4.340 mm
 Z = 346 µm ± 12 µm

2. Allgemeines

2.1. Übersicht

Der CC215 ist eine integrierte Schaltung zur Auswertung von Induktivitätsverhältnissen zweier Spulen eines Halbdifferential - Kurzschlußring Weggebers (HDK-Gebers). Dabei wird eine variable Sinusamplitude mit einer festen Sinusamplitude verglichen.

2.2. Schutzvorschriften

a) Handhabung mit größter Vorsicht, da MOS Eingänge vorhanden. Nicht direkt berühren, MOS - Arbeitsplatz verwenden.

b) Betriebsspannung nicht abrupt einschalten.

2. General Informations

2.1. Overview

The CC215 is a custom IC used to measure the inductance ratio of an inductive displacement transducer (HDK-Geber). For doing this the IC compares a variable sine-wave amplitude with a fixed one.

2.2. Handling Instructions

a) Handle with extreme care. Pins should not be touched. Follow ESD (Electrostatic Discharge) protection procedure.

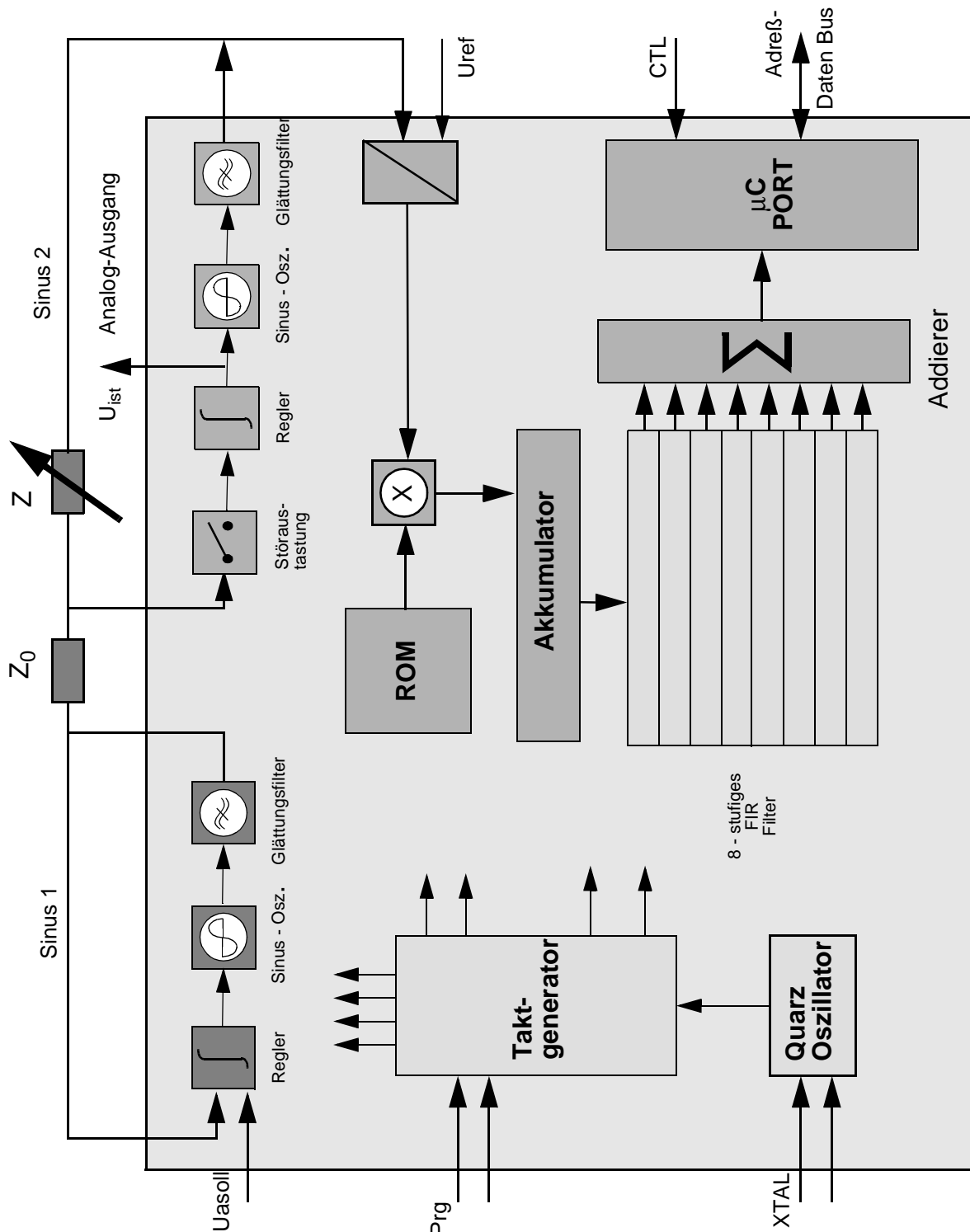
b) Do not switch on the power supply abruptly

3. Funktionale Beschreibung

3. Functional Description

3.1 Blockschaltbild

3.1.Circuit Diagram



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen...Jede Verfügnisbefugnis, wie Kopier- und Weitergaberecht, bei uns

3.2. Kurze Beschreibung des IC

Der CC 215 - Baustein ist ein monolithischer CMOS - IC mit zwei Sinusgeneratoren, einer Brückenschaltung zur Verhältnisbildung und einem 12-Bit Analog/Digital - Wandler. Zur Ansteuerung enthält der CC 215 eine Mikroprozessor - Schnittstelle mit einem parallelen 12 Bit Datenbus.

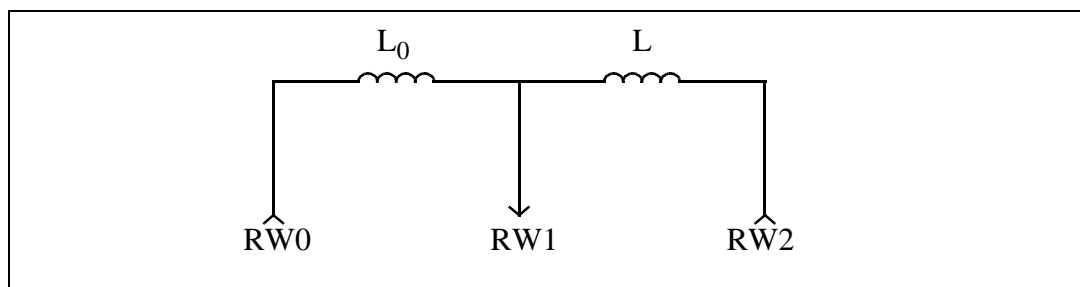
Ein Halbdifferential - Kurzschlußring - Weggeber (HDK - Geber) bildet ein Induktivitätsverhältnis L / L_0 , welches sich proportional zu einem Stellweg s verändert:

Das Verhältnis L / L_0 wird durch die Auswerteschaltung in ein elektrisches Signal umgesetzt und anschließend in ein digitales Datenwort umgewandelt. Die Ausgabe der Ausgangsgröße erfolgt sowohl durch ein digitales, paralleles Datenwort wie auch als Analogsignal.

3.2. Short Description of the IC

The CC 215 is a custom IC used to convert the inductance ratio from an inductive sensor into an digital signal. The CC 215 consists of two sine-wave generators, an ac-bridge, to evaluate the ratio L / L_0 of two sensor impedances, and a 12 bit analog/digital converter. For controlling the IC and for data transfer there is a 12 bit parallel data bus.

An inductive displacement transducer (HDK - Geber), is consisting of two coils. The ratio L / L_0 of the two inductances is proportional to the displacement s . This ratio is converted to an electrical analog signal, which is evaluated by a 12 bit sigma delta converter. The digital information and the analog signal are available as well.



Ein amplitudengeregelter Sinusgenerator speist das Nutzsignal (10kHz) am Punkt RW0 ein. Die Brückenschaltung erzeugt an RW2 ein um 180 Grad verschobenes Sinussignal, dessen Amplitude so geregelt wird, daß an RW1 virtuell 0V gemessen werden.

A sine-wave generator, with a fixed amplitude, feeds its sine-wave (10 kHz) via RW0 in the sensor impedance L_0 . A second sine wave generator, with a variable amplitude, feeds another sine wave (10kHz, with a phase of 180deg relative to RW0A) via RW2 in the second sensor impedance L . These two impedances

Die Signalschwingung an RW2 wird von einem Meßkopf abgetastet und in einen 1-Bit-Datenstrom umgesetzt. Die anschließende digitale Signalverarbeitung setzt diesen Datenstrom in ein paralleles 12-Bit Datenwort um das über eine Mikroprozessor Schnittstelle abrufbar ist. (Schaltungsstruktur S.6).

Sinusgenerator, Brückenschaltung und Meßkopf sind in SC-Technik aufgebaut. Der Analog / Digital Wandler arbeitet nach dem Prinzip der Sigma-Delta Umsetzung.

form an ac bridge with a tapping at RW1. The amplitude of the second sine wave is changed until the voltage, measured at RW1, is virtually zero. The sine-wave at RW2 is measured by a 1 bit A/D converter. The 1bit data stream is converted into 12 bit parallel data-word by a digital signal processing unit. The data are available at the μ c interface of the IC. (Circuit diagram at p. 6)

SC-techniques are used for the sine-wave generators, the analog controlling circuits of the bridge structure and the 1 bit A/D converter. The A/D converter uses the sigma delta principle.

4. Betriebsmodi

Der IC hat zweite normale Betriebszustände und 6 Testzustände. Die Umschaltung geschieht über die Pins TST1, TST2 und TST3. Der Normalbetrieb wird durch folgende Testpinkonfiguration aktiviert:

TS1=High
TS2=High
TS3= Beliebig

Durch Pull-up Widerstände wird sichergestellt, daß der IC nicht auf Grund von Bondabrissen an diesen IC Pads in einen Testmode übergeht.

Die Testmodi 1 bis 6 sind rein für Testzwecke da und stellen keine legalen Betriebszustände dar (z.B. teilweise abgeschaltete Funktionen).

4. Function Modes

There are two normal and six testing modes for the IC. These modes are selected by the pins TST1, TST2 and TST3. The normal modes are activated by the following testpin configuration

TS1=High
TS2=High
TS3= don't care

We use pull-up resistors to ensure, that the IC will remain in normal operating mode if these bonds brake.

The test modes 1 to 6 are reserved for product testing and shouldn't be used in normal operations. (Some functions are switched off)

5. Elektrische Spezifikation

5.1. Absolute Grenzwerte

Die Grenzwerte dürfen in keinem einzigen Punkt auch nicht kurzzeitig überschritten werden. Ansonsten besteht die Gefahr, daß der IC zerstört oder seine Zuverlässigkeit durch Schädigung beeinträchtigt wird.

Maximale Anstiegsgeschwindigkeit der Betriebsspannung.
(max. slope of Supply-Voltage)

1 V/ μ s

Maximale Betriebsspannung
 $V_{dd} - V_{ss}$
(maximal Supply - Voltage)

+6.0 V

Max Strom an allen Ein- und Ausgängen
(max. current at all inputs and outputs)

± 10 mA

Maximale Summe der Ströme an allen Ein- und Ausgängen
(cumulative max current at all inputs and outputs)

± 100 mA

Schutz der Ein- und Ausgänge gegen Zerstörung durch elektrostatische Aufladung
(protection of inputs and outputs against ESD)

± 2000 V
aus 1.5 k Ω , 100 pF

Lagertemperatur
(storage temperature)

$-65 \leq T_j \leq +150$ Grad Celsius

Betriebstemperatur
(operating temperature)

$-40 \leq T_j \leq +125$ Grad Celsius

Anmerkung:

Mit den oben angegebenen Einschränkungen ist der IC gegen Thyristor Effekte (Latch up) geschützt.

Note:

For the conditions listed above the IC is protected against latch up effects.

5.2. Kennwerte (Betriebsbedingungen)

5.2.1. Parameter

Alle Spannungen beziehen sich auf V_{SS} .
So weit nichts anderes angegeben ist, gilt folgender Arbeitsbereich:
 $-40C \leq T_j \leq 125C$, $V_{dd} = 5V \pm 10\%$

5.2 Characteristics (Operating Conditions)

5.2.1 Parameters

All voltages are referred to V_{SS} .
If not noted otherwise, the operating range is:
 $-40C \leq T_j \leq 125C$, $V_{dd} = 5V \pm 10\%$

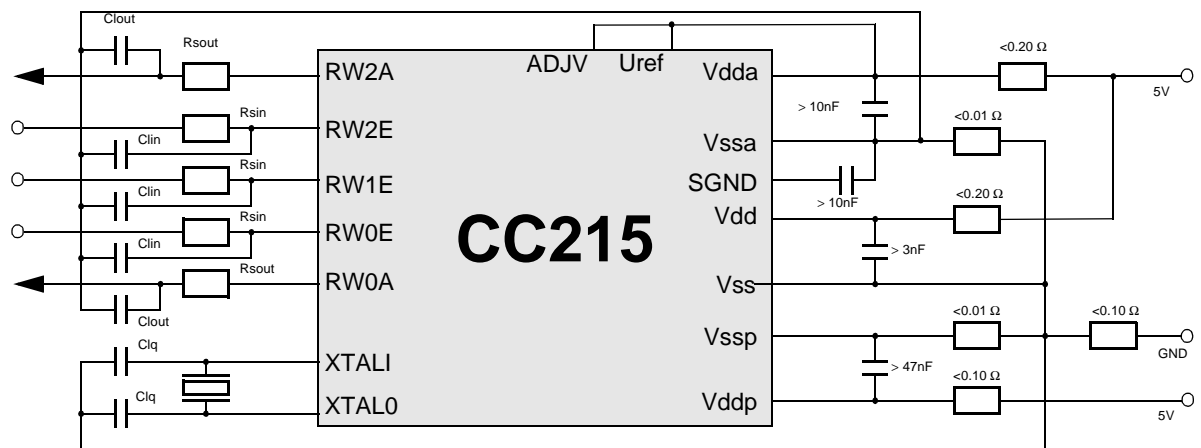
Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Betriebsspannung digital Supply voltage for the digital part		V_{dd}	4.5	5.5	V
Betriebsspannung analog Supply voltage for the analog part	$V_{dda} = V_{dd} \pm 0.1V (1)$	V_{dda}	4.5	5.5	V
Betriebsspannung Bustreiber Supply voltage for the port drivers	$V_{ddp} = V_{dd} \pm 0.5V (1,2)$	V_{ddp}	4.5	5.5	V
Betriebsspannung analog Supply voltage for the analog part		V_{ssa}	-0.1	0.1	V
Betriebsspannung Bustreiber Supply voltage for the port drivers		V_{ssp}	-0.1	0.1	V
Betriebsstrom digital Supply current for the digital part	$V_{dd} = 5.5V$	I_{dd}	2	10.0	mA
Betriebsstrom analog Supply current for the analog part	$V_{dda} = 5.5V$	I_{dda}	7	40.0	mA

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen... Jede Verfügnisbefugnis, wie Kopier- und Weitergaberecht, bei uns

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Spitzenstrom Bustreiber Supply current for the port drivers	$V_{ddp} = 5.5V$	I_{ddpmax}		1.5	A
Ruhestrom digital Quiescent digital part	$V_{dd} = 5.5V$ keine Clock no clock $Xtali=high$	I_{ddstat}		5.0	μA
Ruhestrom Bustreiber Quiescent current port drivers	$V_{ddp} = 5.5V$ keine Clock no clock	$I_{ddpstat}$		4.0	μA
Ruhestrom analog Quiescent analog part	$V_{dda} = 5.5V$ keine Clock, Powerdown mode no clock, powerdown mode	$I_{ddastat}$		5.0	μA

- 1) Für $V_{ddp} < 4.5V$ bleibt die Funktion der Schaltung, ausgenommen der Busschnittstelle, erhalten
 If $V_{ddp} < 4.5V$, the function of the circuit is preserved. Only the port drivers are not working
- 2) Innerhalb der zulässigen Betriebsspannungsgrenzen
 Within the allowed limits of the supply voltages

Spannungsversorgung und Massekonzept für den Betrieb im System
Power supply and restrictions for ground connection for the use in a system



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen...Jede Verfügungsbedingung, wie Kopier- und Weitergaberecht, bei uns

Digitaleingänge:

Digital Inputs:

(RESETN; BUS; ALE; RDN;WRN; CS; CSN; TST1,TST2,TST3; PLL1; PLL2; D0-D3, D4-D11 in Tristate-Mode)

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Eingangsspannung bei High - Pegel Input voltage for high - level		V_{IH}	2.5	$V_{dd}+0.5$	V
Eingangsspannung bei Low - Pegel Input voltage for low level		V_{IL}	-0.5	0.8	V
Eingangsstrom bei High - Pegel an Pins ohne Pullups oder Pulldowns Input current for high - level at pins without pullups or pulldowns	$V_{dd} = 5.5V$ $V_{in} = 5.5V$	I_{IH}	-1.0	1.0	μA
Eingangsstrom bei High - Pegel an Pins mit Pullups oder Pulldowns Input current for high - level at pins with pullups or pulldowns	$V_{dd} = 5.5V$ $V_{in} = 5.5V$	I_{IH}	0.0	110.0	μA
Eingangsstrom bei Low - Pegel an Pins ohne Pullups oder Pulldowns Input current for low - level at pins without pullups or pulldowns	$V_{in} = 0.45V$	I_{IL}	-1.0	1.0	μA

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Eingangsstrom bei Low - Pegel an Pins mit Pullups oder Pulldowns Input current for low - level at pins with pullups or pulldowns	$V_{dd} = 5.5V$ $V_{in} = 0.0V$	I_{IL}	-110.0	0.0	μA
Eingangskapazität ¹ Input capacitance		C_{in}		10.0	μF

1) wird nur bei der Charakterisierung gemessen, nicht im Produktionstest

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Mittenlage XTALI closed loop dc voltage		V_{xtali}	$(V_{dd}/2)-1$	$(V_{dd}/2)+1$	V

Interne Anschlußwiderstände:

internal Pull-up, -down resistors

Parameter	Symbol	Min	Typ	Max	Einheit unit
Pull-Up Widerstände an den Test-Pins, RDN, WRN, CSN, DISABLE Pull-up resistors for Test-Pins, RDN, WRN, CSN, DISABLE	R_{put}	50	160	400	$k\Omega$
Pull-Up Widerstand an RW1E Pull-up resistors for RW1E	R_{pu1}	100	265	600	$k\Omega$

Parameter	Symbol	Min	Typ	Max	Einheit unit
Pull-Down Widerstand an ALE, CS, RSTN, PLL1, PLL2 Pull-down resistors for ALE, CS, RSTN, PLL1, PLL2	R_{pd}	50	160	400	k Ω

Digitalausgänge:
(D0..... D11; CLK)

Digital outputs:

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Ausgangsspannung bei H-Pegel Output voltage for high level	$I_{OH} = -1\text{mA}$	V_{OH}	$0.75 * V_{dd}$		V
Ausgangsspannung bei L-Pegel Output voltage for low level	$I_{OL} = 1\text{mA}$	V_{OL}		0.45	V

Die maximale Last der Digitalausgänge beträgt: $C_I = 80 \text{ pF}$
(maximal load capacitance for digital outputs)
die maximale Last des Ausganges CLK beträgt: $C_I = 30 \text{ pF}$
(maximal load capacitance for output CLK)

Disable - Eingang:

Disable - Input:

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Schaltsschwelle switching level		V_{SD}	$(V_{dd}/2) - 1.0$	$(V_{dd}/2) + 1.0$	V
Mindestpulsdauer minimum pulse width		T_{Pmin}	4.0		μs

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Maximale Störimpulsdauer maximal duration of an interference pulse		T_{Smax}		3.0	μs
Eingangskapazität ¹ input capacitance		C_{in}		10	pF
Drift	Disable aktiv disable active	dU_{ist}/dt		2/100	mV/ μs

1) wird nur bei der Charakterisierung gemessen, nicht im Produktionstest

Verhalten bei aktivierter Disable Funktion:

Effect of the Disable Function:

Durch das Aktivieren der Disable Funktion wird die Messung der Gebermittenspannung RW1E unterbrochen und damit der Regelkreis für die eingestellte Zeit (Monozeitkonstante) aufgetrennt.

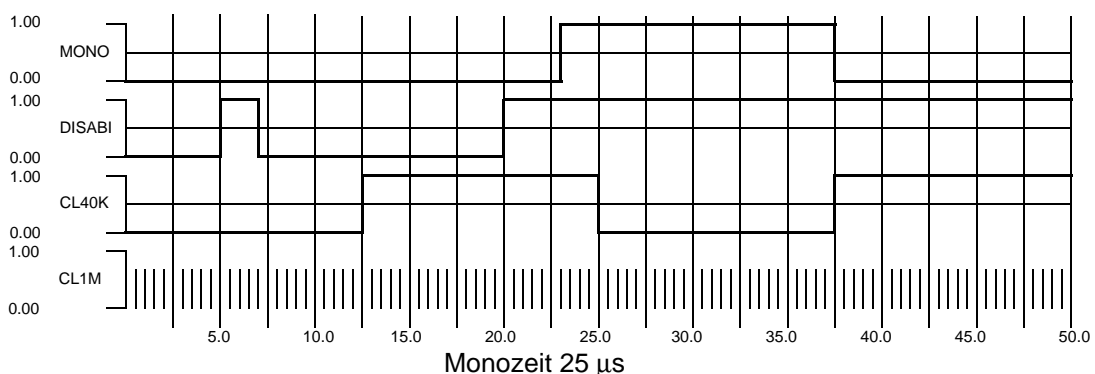
After activating the Disable, the measurement of the signal at RW1E is stopped. The control loop is opened for the programmed time (value of Mono time parameter)

Die Amplitude am Analogausgang U_{ist} behält in diesem Zustand ihren alten Wert, bis der Regelkreis wieder geschlossen wird.

The amplitude of the analog output U_{ist} keeps its value until the control loop is closed again.

Die Funktion ist retriggerbar.

The function is retriggerable.



Analoge Treiberausgänge:

(RW0A; RW2A)

Analog-Outputs:

(RW0A; RW2A)

Die Ausgänge werden durch einen RC-Tiefpaß 1.Ordnung belastet. (Serienwiderstand und Eingangskapazität der externen Buffer)

The outputs are loaded with a RC - low path. (series resistor and input capacitor of external buffer)

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Lastkapazität load capacitance		C_{lout}	80	400	pF
Serienwiderstand series resistor		R_{sout}	3.0		k Ω
Spannungshub ^a voltage swing ^a	$I_{out} < 100\mu A$	U_{out}	$0.1 \cdot V_{dda}$	$0.9 \cdot V_{dda}$	V

a. Diese Daten sind per Design garantiert und werden nicht getestet
These data are guaranteed by design and will not be tested

Offset von RW0A und RW2A

Offset of RW0A and RW2A

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Offset von RW2A gegen $V_{DD}/2$ offset between RW2A and $V_{DD}/2$	$0.4 \leq L/L_0 \leq 1.8$	$U_{offRW2A}$	$-0.042 \cdot V_{dd}/2$	$0.042 \cdot V_{dd}/2$	V

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Differenz der Gleichanteile der Sinusschwingungen difference between the dc parts of the two sinus waves	gemessen zwischen RW0A & RW2A, L/L ₀ im Arbeitsbereich V _{DD} =5V measured between RW0A & RW2A, L/L ₀ in range, V _{DD} = 5V	U _{off}	-30.0	30.0	mV

Analog - Eingänge:

Analog - Inputs:

(RW0E; RW1E; RW2E; ADJV; UREF)

Vor die Meßeingänge RWxE sind RC-Tiefpaßfilter 1. Ordnung zu schalten. Der Baustein kompensiert eine Phasendifferenz von 5 Grad (bez. des 10kHz Signals) zwischen den Ausgängen RWxA und den Eingängen RWxE.

There has to be a first order RC - low path filter between the measuring inputs RWxE and the signals. The IC compensates a phase shift of 5 degrees (concerning the 10 kHz signal) between the outputs RWxA and the inputs RWxE.

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Eingangsstrom: RW0E, RW2E, ADJV, UREF input current	0 < U _{in} < V _{dda}	I _A		10	µA
Eingangsstrom: RW1E input current	0 < U _{in} < V _{dda}	I _A	8	50	µA
Eingangskapazität input capacitance		C _I A		10	pF

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Blockkondensator an Signalmasse 1) capacitor for interlocking at signal ground		C_{sgnd}	8.0	120.	nF
Serienwiderstände an Meßeingängen RWxE Series resistors at measuring inputs RWxE 1)		R_{sin}	4.0	12.0	k Ω

1) wird nicht getestet
will not be tested

Analog - Schnittstelle
Uist

Analog - interface

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Aussteuerbereich Normalbetrieb range normal operation	$I(U_{ist}) \leq 200\mu A$	U_{ist}	0.2 * V_{dda}	0.9 * V_{dda}	V
Meßbereichsüber- schreitung out of range mode	SRC=1 $I(U_{ist}) \leq 200\mu A$	U_{ifh}	0.93 * V_{dda}		V
Meßbereichsüber- schreitung out of range mode	SRC=0 $I(U_{ist}) \leq 200\mu A$	U_{ifl}		0.15 * V_{dda}	V
Anstiegsgeschwindig- keit 1) Slew rate	$1V < U_{ist}$ $< 0.8 * V_{DDA}$ $CI < 100pF$	dU_{ist} / dt	0.1		V/ μs

1) wird nicht getestet / per Design garantiert
will not be tested / guaranteed by design

5.2.2 Meßbereich und Kennlinie
Arbeitsbereich

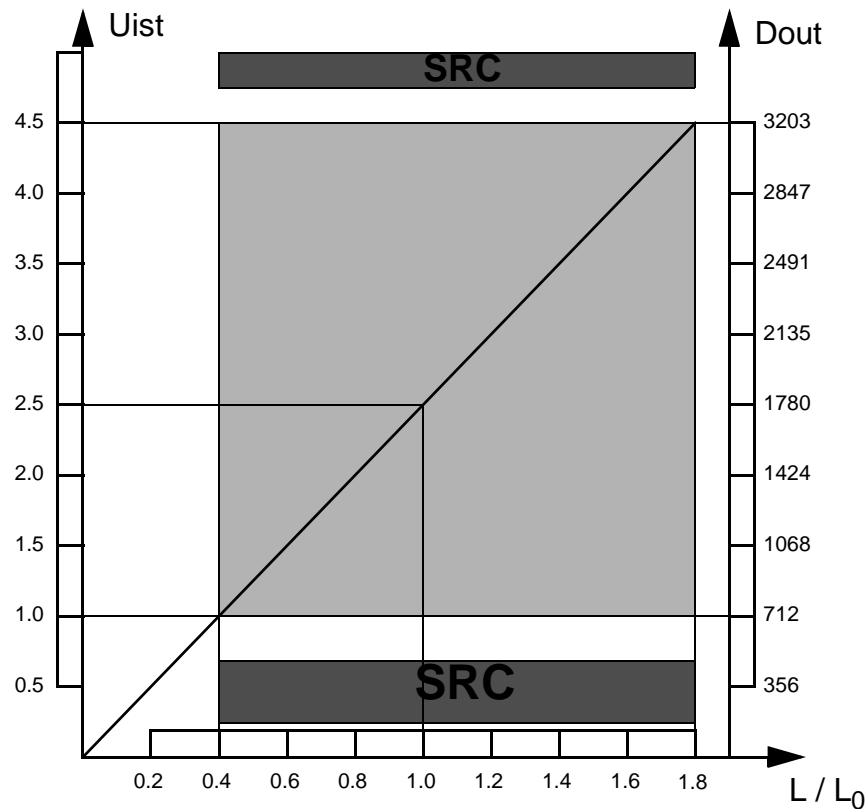
5.2.2 Range of Measurement and Conversion
Characteristics

Parameter	Bedingungen Conditions	Symbol	Min	Max	Einheit unit
Arbeitsbereich range of operation		L/L_0	0.4	1.8	
Ausgangsgröße digital digital output range	$L/L_0 = 0.4$ $L/L_0 = 1.8$	D0....D11	712	3203	dez
Ausgangsgröße analog analog output range	$V_{DDA}=5.0V$ L/L_0 : s.o.	Uist	1.0	4.5	V

Kennlinie

Conversion Characteristics

Arbeitsbereich bei $V_{dda} = 5 V$
Range of Operation $V_{dda} = 5 V$



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Genauigkeit:
 Analogausgang

Precision:
 (Analog output)

Parameter	Bedingungen Conditions	Wert Value	Einheit unit
Abgleichbare Offset- und Verstärkungsfehler bezüglich des Spannungsbereiches adjustable offset and amplification errors in relation to the voltage range	$L/L_0 \leq 1.0$ $I_{Last}=0\mu A$ $I_{Last}=\pm 200\mu A$	$\pm 0.03 \cdot V_{dda}$ $\pm (0.03 \cdot V_{dda} + 0.05)$	V
	$L/L_0 > 1.0$ $I_{Last}=0\mu A$ $I_{Last}=\pm 200\mu A$	$\pm 0.04 \cdot V_{dda}$ $\pm (0.04 \cdot V_{dda} + 0.05)$	V
Welligkeit ^{a b} ohne äußeren Störeinflüsse ripple ^{a b} without external disturbances		± 5.0	mV
Temperaturgang ^{ac} temperature drift ^{ac}		± 80	$\mu V / K$

a. Diese Daten werden nicht getestet
 These data will not be tested.

b. Zieldaten: Diese Werte werden nicht garantiert.
 target Values: These values are not guaranteed.

c. Wird nur charakterisiert
 will only be characterized

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Digitalausgang: (Uist_d)

Digital output: (Uist_d)

Parameter	Bedingungen Conditions	Wert	Einheit unit
Abweichung der Kennlinie Uist _d bezüglich des Wertebereiches error of the characteristic Uist _d in relation to the data range	L/L ₀ ≤ 1.0	± 75	LSB
	L/L ₀ > 1.0	± 100	LSB
Abgleichbarer Verstärkungsfehler bezüglich des Wertebereiches adjustable amplification error in relation to the data range	Definition Verstärkungsfehler Δ _V : (definition of amplification error Δ _V): $\Delta_V = 2048 \times \left(\frac{2491}{(U_{ist_d}(1,8) - U_{ist_d}(0,4))} - 1 \right)$	± 63	LSB
Abgleichbarer Offsetfehler bezüglich des Wertebereiches adjustable offset error in relation to the data range	Definition Offsetfehler Δ _O : (definition of offset error Δ _O): $\Delta_O = U_{ist_d}(0,4) - 0,4 \times \frac{U_{ist_d}(1,8) - U_{ist_d}(0,4)}{1,8 - 0,4}$	± 63	LSB
Welligkeit ohne äußeren Störeinflüsse ^d ripple without external disturbances		±8	LSB (D0)
Temperaturgang ^{ac} temperature drift ^{ac}		± 0.04	LSB/K

- a. Diese Daten werden nicht getestet
These data will not be tested.
- c. Wird nur charakterisiert
will only be characterized
- d. Diese Daten werden nur bei V_{dd}=4.5V, L/L₀=1, f_{quarz}=10MHz gemessen.
These data will only be measured at V_{dd}=4.5V, L/L₀=1, f_{quarz}=10MHz.

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

5.2.3. Sinus-Generator und Amplitudenregelung

Die Schwingung an RW0A und RW2A wird durch eine Treppenfunktion mit 16 Stufen pro Periode erzeugt.

Die Treppenfunktion wird durch ein SC - Tiefpaßfilter geglättet. Der Phasenversatz bezüglich der Signalfrequenz liegt bei:

☺ $\phi = 9 \pm 1 \text{ deg}$

Verhalten der Amplitudenregelung:

- Sinusgenerator

Die Amplitude an RW0A wird durch Messung über RW0E auf folgenden Wert geregelt.

☺ $U(RW0E)_{SS} = 0.4345 * (U(ADJV) - U(VSSA))$

- Brückenschaltung

Eine zu RW0A synchrone Nutzamplitude dU1 an RW1E führt nach einer Periode zu einer Amplitudenänderung dU2 an RW2A, wobei die Verstärkung als Verhältnis definiert ist.

$V = dU2/dU1$

☺ $V = 2.10 \pm 2\%$

Die mit "☺" gekennzeichneten Daten haben rein informativen Charakter und werden nicht getestet.

5.2.3. Sine - Wave-Generator and Magnitude-Control

The sine wave at RW0A and RW2A is generated by using a stair function with 16 stairs per period.

The stair function is smoothed by using a SC - low pass. the phase shift relative to the signal frequency is about:

☺ $\phi = 9 \pm 1 \text{ deg}$

Performance of the amplitude control

- Generator of the sinus wave

The amplitude at RW0A is controlled by measuring at RW0E. The value is:

☺ $U(RW0E)_{SS} = 0.4345 * (U(ADJV) - U(VSSA))$

- Bridge circuit

After one period an useful amplitude dU1 at RW1E, synchronous to RW0A, leads to a change of the amplitude dU2 at RW2A. The Amplification is defined as:

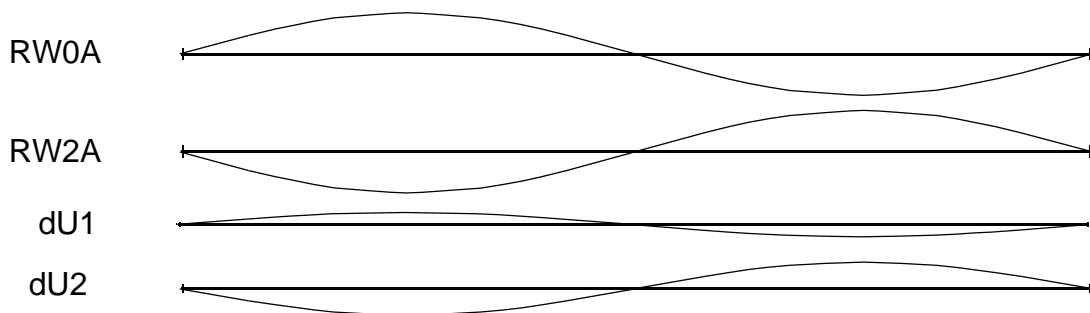
$V = dU2/dU1$

☺ $V = 2.10 \pm 2\%$

☺ These values are information data only but will not be tested

Sinusschwingungen

Wave forms



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen... Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

5.2.4. Digitale Schnittstelle

Die digitale Schnittstelle ermöglicht das Programmieren der Disable-Zeitkonstante und das Lesen des digitalen Steuersignals sowie der zuletzt programmierten Disable-Zeitkonstanten (Bustest). Das Timing für das Programmieren der Disable-Zeitkonstanten wird in dem Abschnitt Schreiben behandelt. Entsprechend ist das Timing für die Lesezugriffe unter dem Abschnitt Lesen zu finden.

5.2.4. Digital Interface

The digital interface is used for programming the time constant of the Disable pulse, for reading the digital output and the last programmed time constant of the Disable pulse (bus test). The timing of the time constant of the Disable pulse is shown in that part, dealing with the timing for writing. The timing of the read cycles is shown in that part, dealing with the timing for reading.

- Reset -Eingang

Reset Input

Resetn	Reset
0	aktiv / active
1	inaktiv / inactive

-Programmierung der Disable-Zeitkonstanten und Auslösen des Disables

-Programming of the Time constant for the Disable pulse and triggering it

Programmierung der Disable-Funktion:
Durch einen Schreibzugriff kann über die unteren vier Datenbit die Disable Funktion programmiert werden. Die Bits A1 A2 A3 stellen die kodierte Zeitkonstante (Monozeitkonstante) dar.

Programming of the Disable Function:
During a writing cycle the lower 4 data bits are used for programming the Disable function. The bits A1 A2 A3 represent the coded time constant (mono-time).

A0	A1	A2	A3
Software-Disable	LSB		MSB
	Mono- Zeitkonstante Selection of Mono - Time		

- Monozeitkonstante für Disable - Funktion: -Mono Time for Disable - Function

$$T_{\text{mono}} = T(\text{CL40K}) * K_{\text{mono}}$$

$$K_{\text{mono}} = K_m + 0 / -0.5$$

$$T(\text{CL40K})_{\text{min}} = 24.6 \mu\text{s};$$

$$T(\text{CL40K})_{\text{max}} = 25.6 \mu\text{s};$$

2	1	0	3	4	5	6	7	K_m
0	1	0	1	0	1	0	1	A1
0	0	1	1	0	0	1	1	A2
0	0	0	0	1	1	1	1	A3

Durch Reset wird K_m auf 2 gesetzt.
 Das Monoflop ist retriggerbar

Reset sets K_m to 2.
 The monoflop is retriggerable.

Die Programmierung: (010) bewirkt eine Unterdrückung der Disable-Funktion

Programming (010) means suppressing the disable function.

Auslösen des Disables:

Starting the Disable

Der Disable kann entweder hardware-mäßig (*flankengetriggert*) über den Pin DISABLE oder software-mäßig durch Programmieren der Zeitkonstante mit A_0 =high ausgelöst werden. Wird der Disable mit A_0 ausgelöst, so wird A_0 danach zurückgesetzt.
 Zusätzlich wird A_0 als A_0M gespeichert (siehe Besonderheiten).

The Disable may be started by a hardware pules or by programming the time constant using A_0 =high. Using the software for starting the Disable, A_0 will be low afterwards.

A_0 will be also stored in a register AM_0 (further information under Specialities)

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Signale zur Disable Programmierung

Signals used for programming the Disable

Der IC muß selektiert sein (siehe CS, CSN), ALE = Low und RDN = high sein. In diesem Fall kann mit WRN = Low geschrieben werden.

The IC must be selected (CS, CSN), ALE = Low and RDN = high. In this case writing is possible using WRN = low.

WRN	Schreibvorgang / Write cycle
0	aktiv / active
1	inaktiv / inactive

Lesezugriff

Read mode

Es gibt zwei Arten von Lesezugriffen. Die erste Zugriffsart nutzt nur die unteren 8 Bit des 12 Bit breiten Datenbusses (8 Bit Mode oder Nibble Mode). Damit sind zwei Lesezugriffe nötig, um alle 12 Bit zu lesen. Die zweite Zugriffsart liest die 12 Bit auf einmal (16 Bit Mode).

There are two possible read modes. The first one uses the lower 8 bit of the 12 bit data bus only (8 bit mode, nibble mode). For getting the 12 bits, one has to read twice. The second read mode is picking up all 12 bit during one read (16 bit mode)

Nur der 8 Bit Mode benötigt das ALE-Signal zum Adressieren von Low und High Byte. Der 16 Bit mode wertet das ALE-Signal nicht aus. Bei beiden Lesezugriffen wird sowohl CS als auch CSN zur Selektion des Chips benötigt. Während ALE immer die unteren 4 Bit des digitalen Busses speichert, benötigt RDN immer die beiden Chipselect-Signale.

Only the 8 bit mode needs the ALE signal for addressing low and high byte. The 16 bit mode doesn't care for the ALE Signal. During the read mode the chip has to be selected (CS, CSN). The ALE is always reading the lower 4 bits whereas RDN always needs the chip select signals.

Die Auswahl des Lesebetriebs geschieht mit dem Pin 'BUS'. Dieser Pin kann auf ein festes Potential verdrahtet werden.

The selection of the read mode is done by using the pin 'BUS'. This pin may be connected to a fixed source.

Bus	Betrieb/ mode	A0	RDN	Byte
0	8 - Bit	0	0	Lowbyte
		1	0	Highbyte
1	16 - Bit	X	0	12 Bit

Bei "BUS" = 0 werden immer beide Bytes direkt nacheinander eingelesen. Die Reihenfolge ist: 1.Lowbyte; 2. Highbyte. Die Zeit für das vollständige Einlesen muß < 80 µs sein.

Anwendungshinweis bei Busbetrieb mit mehreren Busteilnehmern:

Es empfiehlt sich vor jedem Readzyklus die Sequenz zum Lesen des Highbyte voranzustellen. Damit wird sichergestellt, daß beim sofort folgenden normalen 8Bit Read auch die neuen Daten gelesen werden.

During 'BUS' = 0 always both bytes are read one by another. First the lowbyte then the highbyte. The whole read cycle must be finished in < 80µs.

Application note for using at bus with several addressable devices:

It is recommended to start each read cycle with the sequence needed for reading the Highbyte. Starting a normal 8 bit read at once, the data for this read will be updated.

- Schreib und Lesesteuerung der Daten

Write and Read Control

RDN	Lesevorgang / Read cycle
0	aktiv / active
1	inaktiv / inactive

- Schreibsteuerung der Adressen

Writing Addresses

ALE	Adresse schreiben / Write adress
0	inaktiv / inactive
1	aktiv / active

- Bausteinauswahl

Chip select

CS	CSN	Anwahl/ Selection
0	0	nicht angewählt/ not selected
0	1	nicht angewählt/ not selected
1	0	angewählt/ selected
1	1	nicht angewählt/ not selected

-Besonderheiten

Im 16 Bit Mode werden alle 12 Datenbits auf einmal ausgelesen. Damit enthalten sie bis auf ihren Wert keine weitere Information über ggf. aufgetretene Fehler.

Im 8 Bit Mode enthalten die oberen 4 Bit des High-Bytes zusätzliche Informationen über seit dem letzten Lesezugriff aufgetretene Fehler.

Ein "WRN "- Impuls schaltet die Datenausgänge D0.... D11 immer hochohmig
Tritt während eines Lesezykluses ein " WRN "- Impuls auf, so können die Daten des Lesezugriffs vom Baustein nicht auf den externen Bus getrieben werden.
Der interne Lesezugriff wird dadurch weder verzögert noch verlängert.

Testmöglichkeit für den 8-bit Bus:

Beim Programmierung der Disable-Funktion werden die unteren 4 Bits beschrieben (A0M, A1, A2, A3). Beim 8-bit Lesezugriff werden sie im Highbyte an den Stellen (D4, D5, D6, D7) wieder ausgegeben (A0M entspricht dem geschrieben A0). Damit kann überprüft werden, ob die unteren 8 Bit noch Kontakt haben.

Weitere Besonderheiten: Auslesen der Fehlerflags

-Special Features

During the 16 bit mode all 12 data bits are read at once. Therefore no further information about errors is available beside the values themselves.

During 8 bit mode the upper 4 bits of the high byte carries some additional information about errors, happened since last read cycle.

A 'WRN' pulse always switches the data outputs D0....D11 into a high impedant state.
If a 'WRN' pulse is applied during a read cycle, no data are driven by the IC to the bus.
The internal read cycle is neither delayed nor prolonged.

Possibility for testing the 8-bit bus:

By programing the disable function the Bit A0M,A1,A2,A3 are written. Performing a 8-bit read cycle A0M,...,A3 are returned as high byte D4, D3, D2, D1
A0M is the former written A0

Further Specialities: Reading the Error flags

Bus	Betrieb / Mode	A0	A1	A2	A3	RDN	Byte
0	8 - Bit	0	X	X	0	0	Low-byte
		1	X	X			High-byte & A0...A3
		0	X	X	1		Low-byte
		1	X	X			High-byte & Fehlerflags
1	12 - Bit	X	X	X	X	12- Bit	

Fall A3 = 1

Case A3 = 1

Bus	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	Z	Z	Z	Z	B7	B6	B5	B4	B3	B2	B1	LSB
	1	Z	Z	Z	Z	X	F1	F1	F0	MSB	B10	B9	B8
1	X	MSB	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	LSB

F0 = Bereichüberschreitung (Bereichsunterschreitung) im Regelkreis des variablen Sinus oder im Digitalfilter entdeckt

F1 = Bereichüberschreitung (Bereichsunterschreitung) im Regelkreis des fixen Sinus entdeckt.

Die Fehlerflags werden nach dem Lesen dieses Registers gelöscht und bei erneutem Auftreten eines Fehlers wieder gesetzt.

F0 = Out of range condition occurred in the control circuit of the variable sinus or inside the digital filter.

F1 = Out of range condition occurred in the control circuit of the fixed sinus.

The error flags are cleared after each complete read operation. If an error occurs again the according flags are set.

Fall A3 = 0

Case A3 = 0

Bus	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	Z	Z	Z	Z	B7	B6	B5	B4	B3	B2	B1	LSB
	1	Z	Z	Z	Z	A3	A2	A1	A0M	MSB	B10	B9	B8
1	X	MSB	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	LSB

- Zusammenfassung

- Conclusion

RESETN	CSN	CS	RDN	ALE	BUS	WRN	Vorgang / Action
0	X	X	X	X	X	X	Reset aktiv / Reset active
1	1	X	X	X	X	X	Keine Chip Anwahl / No chip select
	X	0	X	X	X	X	
	0	1	1	1	0	1	A0 einlesen / reading A0
			1	1	1	1	inaktiv / inactive
			0	0	s.u.	1	Daten auslesen / read cycle
1			0	X	0	Daten schreiben / write cycle	

x: Beliebiger Zustand;

x: unknown state

Z: Ausgang ist hochohmig

Z: high impedant

Das Ausgangswort entspricht dem gleitenden Mittelwert der Meßwerte aus den jeweils letzten acht gemessenen Perioden (Ausgang FIR-Filter)

The digital result is a moving average of the last eight measured periods (output FIR - filter)

5.2.5. Lese- und Schreibzugriff

5.2.5. Read and Write Cycles

-gemeinsame Signale für Lese- und Schreibzugriff

Signals used for both cycles

Parameter ^{a)}	Symbol	Min	Max	Einheit unit
ALE - Impulsbreite ALE pulse width	TLHLL	40		ns
CSN low vor RDN/WRN aktiv CSN low before RDN/WRN active	TCSLRW	0	TLHLL	ns
ALE low bis RDN/WRN aktiv ALE low until RDN/WRN active	TLLRWL	40		ns
RDN/WRN - high bis ALE high RDN/WRN - high before ALE high	TRWHLH	40		ns
Adresse vor ALE low Address before ALE low	TAVLL	20		ns
Adresse noch gültig nach ALE low Address valid after ALE low	TLLAX	20		ns

^{a)} Diese Werte werden nach der Charakterisierung angepaßt
Those values will be modified after characterization

Lese - Zugriff

Read Cycle

Parameter ^{a)}	Symbol	Min	Max	Einheit unit
RDN - Impulsbreite RDN - pulse width	TRLRH	70		ns
Daten gültig vor RDN inaktiv data valid before RDN inactive	TQVRH	20		ns
Daten undefiniert nach RDN inaktiv data undefined after RDN inactive	TRHDZ		60	ns
RDN - Daten - Haltezeit, RDN inaktiv hold time for RDN - data, RDN inactive	TRWHDX	0		ns

^{a)} Diese Werte werden nach der Charakterisierung angepaßt
Those values will be modified after characterization

- Schreib - Zugriff (Nibble - Mode inaktiv)

Write Cycle (Nibble - Mode inactive)

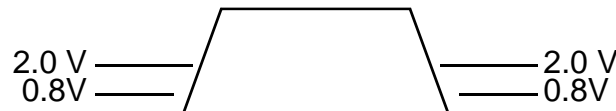
Parameter a)	Symbol	Min	Max	Einheit unit
WRN - / Impulsbreite WRN - / pulse width	TWLWH	50		ns
Daten gültig vor WRN inaktiv data valid before WRN inactive	TQVWH	20		ns
Daten stabil nach WRN inaktiv data stabile after WRN inactive	TWHQX	20		ns

a) Diese Werte werden nach der Charakterisierung angepaßt
 Those values will be modified after characterization

Zeitdiagramme: siehe Seiten 29,30

Timing diagrams: pages 29, 30

Dynamische Bezugspegel
 dynamic reference levels



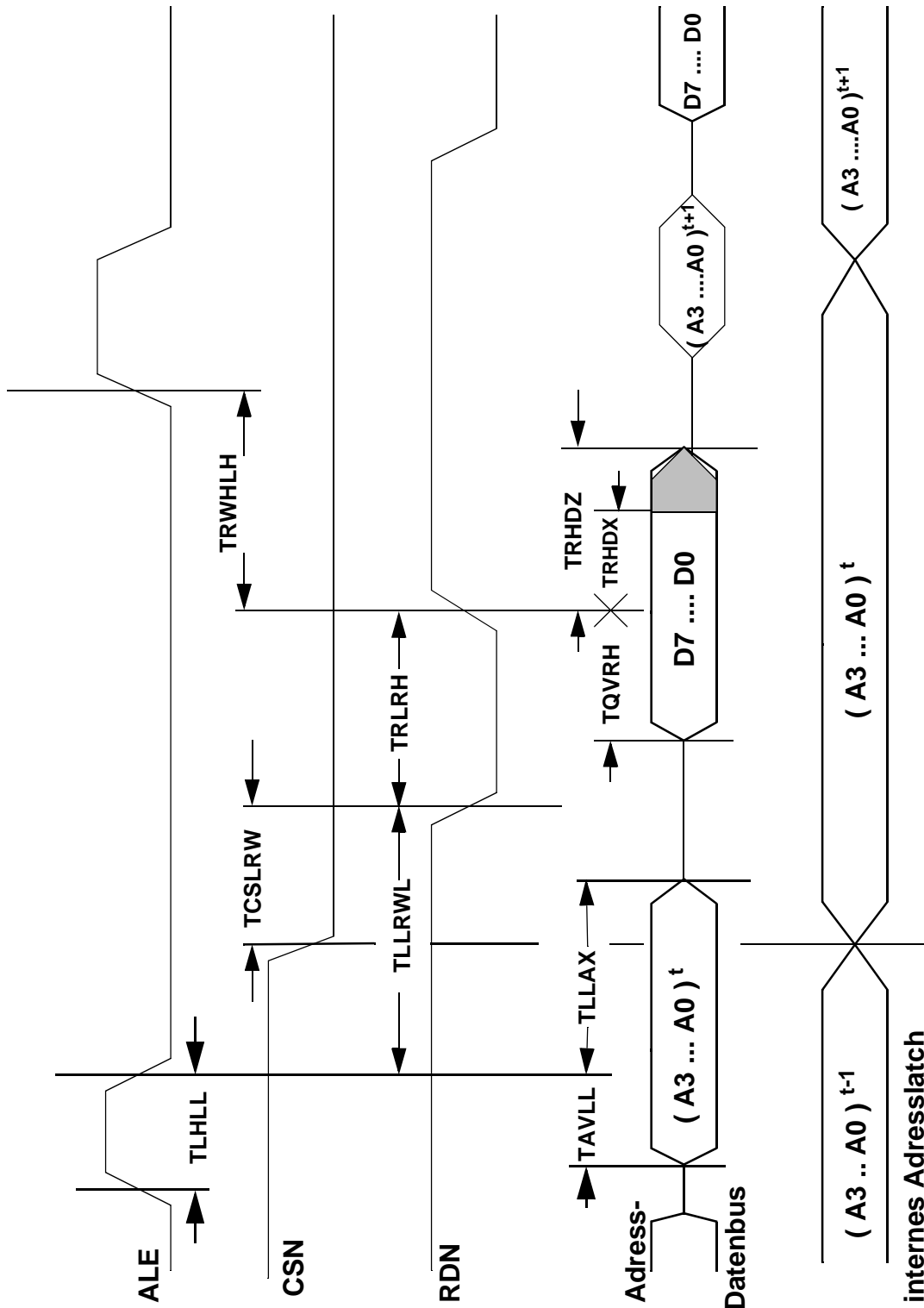
Bei Betrieb mit dem 80C196 (16 MHz) muß ggf. ein 'wait - state' eingefügt werden, falls die Lesezugriffszeiten inkompatibel sind.

Using a 80C196 (16 MHz) it might be necessary to insert a wait state if Read Cycle time is inadequate.

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

5.2.5.1 Zeitdiagramm
Lese - Zugriff

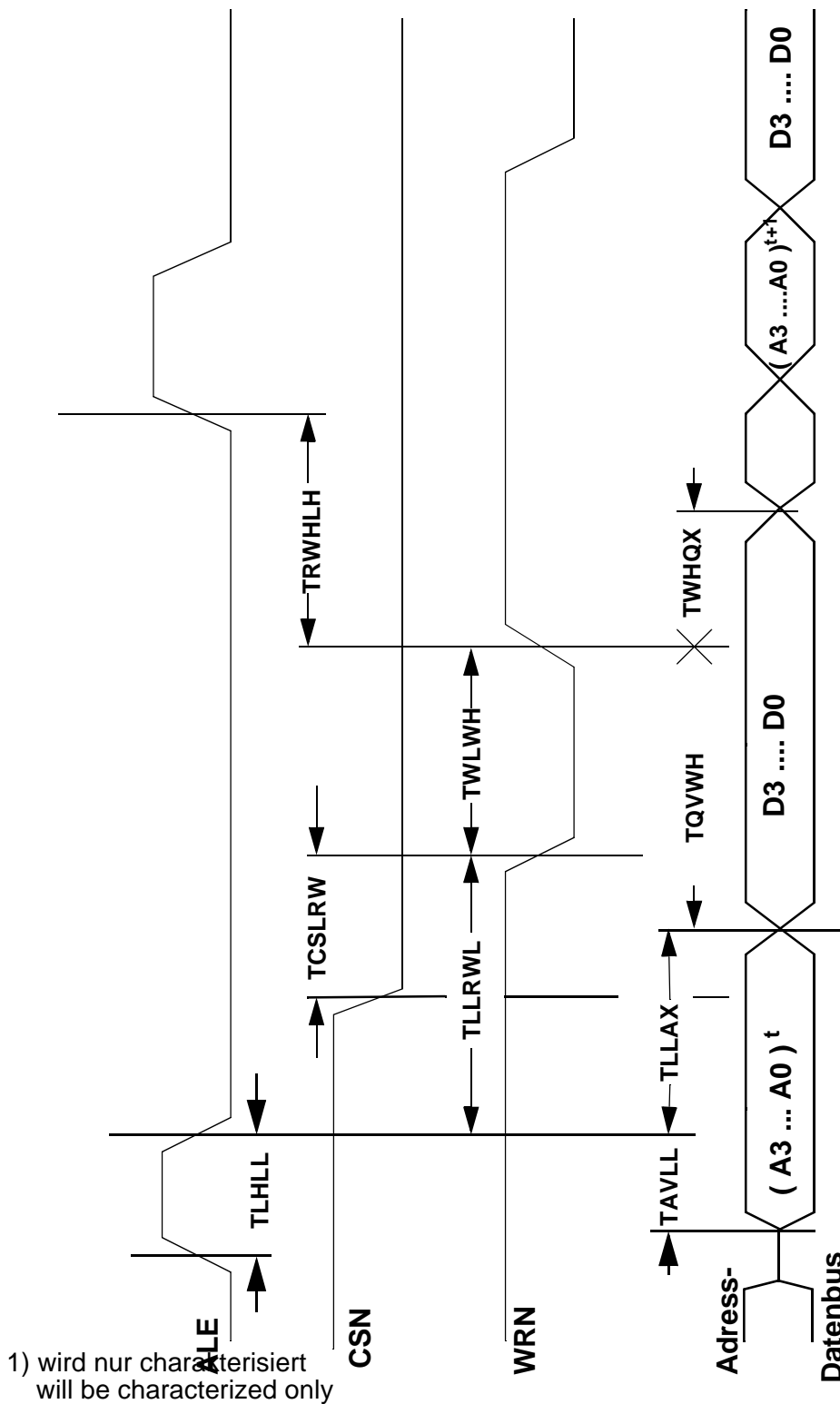
5.2.5.1 Timing Diagram
Read - Cycle



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

5.2.5.2. Zeitdiagramm
Schreib - Zugriff

5.2.5.2. Timing Diagram
Write - Cycle



1) wird nur charakterisiert
 will be characterized only

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

5.2.6 Quarzoszillator

5.2.6 Crystal Oscillator

Quarzfrequenz ¹⁾ crystal-frequency	PLL1	PLL2	Signalfrequenz signal frequency
8.00000 MHz	0	0	10.4166 kHz
10.00000 MHz	1	0	9.7656 kHz
12.00000 MHz	1	1	10.4166 kHz
16.00000 MHz	0	1	10.4166 kHz

1) Nur während der Hochlaufabsicherung werden die Quarzstellungen 8, 12, 16MHz getestet
only during the ramp up phase the following crystal-frequencies 8, 12, 16MHz will be tested

5.3. Fehlerfall und Testmodi

5.3. Error Modes and Test Modes

5.3.1. Meßbereichsüberschreitung, Fehlermeldung

5.3.1. Out of Range Conditions, Error Messages

Folgende Zustände führen zum Setzen des Fehlercodes:

The following states are generating error codes:

1.0 Regelspannung der Brückenschaltung unzulässig

1.0 control voltage of the bridge circuit is out of range

Parameter	Symbol	Min	Typ	Max	Einheit Unit
obere Fehlerschwelle upper error limit	U_{rb2o}	0.935	0.95		V_{dda}
untere Fehlerschwelle lower error limit	U_{rb2u}		0.1	0.15	V_{dda}

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen... Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

2. Datenwort im unzulässigen Bereich.

2. Digital data out of range

$D_{ii} > F80(\text{hex})$
 $D_{ii} < 200(\text{hex})$

SCR	digitaler Fehlercode digital error code	analoger Fehlercode analog error code
0	000 (hex)	$< 0.15 \cdot V_{dda}$
1	FFF (hex)	$> 0.93 \cdot V_{dda}$

SRC kann durch Bonden von Testpin TST3 eingestellt werden.

SRC is selectable bei bonding test pin TST3

Voreinstellung ist:

Preselection is:

SCR = 1 (Pullup Widerstand)

Fehlercode F1:

Error Code F1:

Regelspannung des fixen Sinus unzulässig

Out of Range Condition for the Fixed Sinus

(nur im 8Bit Read-Modus lesbar, hat keinen weiterer Einfluß auf die Schaltung)

(accessible only during 8Bit read, no further influence to the behavior of the circuit)

Parameter	Symbol	Min	Typ	Max	Einheit Unit
obere Fehlerschwelle ¹⁾ upper error limit	U_{rb1o}	0.55			V_{adjv}
untere Fehlerschwelle ¹⁾ lower error limit	U_{rb1u}			0.45	V_{adjv}

5.3.2. Testmodi

- Betriebsarten:

5.3.2. Test modes

-Modes of operation:

Betrieb / Mode	TST1	TST2	TST3	CKL	SRC	ERRMASK
Testmode 1	0	0	0	MONO	0	1
Testmode 2	0	0	1	TAKE	1	1
Testmode 3	0	1	0	ERRAN	0	0
Testmode 4	0	1	1	ERRDIG	1	0
Testmode 5	1	0	0	CL1M	0	0
Testmode 6	1	0	1	CLSC0	1	0
Testmode 7	1	1	0	XTAL0	0	0
Normalbetrieb normal operation	1	1	1	XTAL0	1	0

ERRMASK	Bei ERRMASK=1 wird die interne Fehlererkennung inaktiv geschaltet	ERRMASK	During ERRMASK=1 the internal error detection is inactive
ERRAN	Fehlermeldung vom Analogteil (high aktiv)	ERRAN	Error message from the Analog part (high active)
ERRDIG	Fehlermeldung vom Digitalteil (high aktiv)	ERRDIG	Error message from the digital part (high active)
MONO	Ausgang des Monoflops (DISABLE)	MONO	Output of the mono flop (DISABLE)
TAKE	Übergabetakt (Brückenschaltung)	TAKE	Pulse for transporting the correction of the amplitude to the sine wave generator
CLSC0	Synchrone Gleichrichtung des Analogteils	CLSC0	Synchronous rectification in the analog part.
CL1M	Systemtakt des Digitalteils	CL1M	System clock of the digital part

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsverletzungen. Jede Vertriebsbefugnis wie Kopier- und Weitergaberecht, bei uns

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen... Jede Verfügnisbefugnis, wie Kopier- und Weitergaberecht, bei uns

CLK	Der Taktausgang CLK wird zu Testzwecken gemultiplext und liefert Synchronisationssignale bzw. das interne DISABLE - Signal.	CLK	This clock output can be multiplexed for test reasons. The output are signals for synchronization e.g. the internal DISABLE - signal
Testmode5	In diesem Testmode wird der Scanpath-Mode aktiviert. Gleichzeitig wird der Analogteil stromlos geschaltet und die Pullwiderstände hochohmig geschaltet.	Testmode5	In this mode the scanpath is activated. The analog part is in a power down mode
Einschalten des Testmode 5	Um in den Testmode 5 zu gelangen, muß der Testmode 5 während RESETN = low anliegen. Der Testmode bleibt so lange gültig, wie der Testmode 5 ohne Unterbrechung am IC nach RESETN=HIGH anliegt.	Switching on Testmode 5	In order to activate Mode 5, Testmode 5 has to be switched on during RESETN = low. The Testmode5 is active as long as there is no interruption of this mode after RESETN=HIGH
Verlassen des Testmode 5	Sobald der Testmode5 verlassen wird, stellt sich der gewählte Testmode ein.	Leaving Testmode5	As soon Testmode5 is switched off, the chosen Testmode is activated.
Anlegen des Testmode 5 ohne vorher RESETN = Low anzulegen	Wird außerhalb von Reset der Testmode 5 angewählt, so geht der Chip in Normalbetrieb.	Switching to Testmode5 without applying RESETN= Low	In this case the Normal mode is activated.
Testeingänge	Die Eingänge TST1, TST2, TST3 sind durch Pull-Up Widerstände (intern) auf logisch "1" vorgesetzt (analog zu DISABLE)	Test inputs	Due to pull-up resistors the inputs TST1, TST2, TST3 are set to logical '1' (analog to DISABLE)

Scanpath

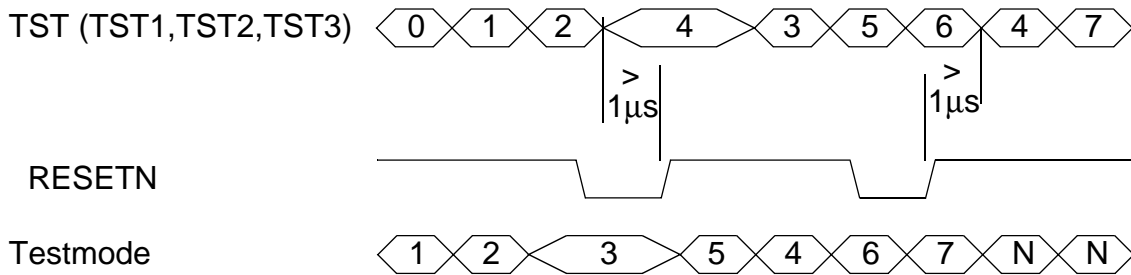
Es gibt 4 parallel Scanpfade. Im Testmode 5 werden mit CS=1 alle Register zu Schieberegister verbunden. CSN=1 schaltet Latches transparent. Die Ports D0..D3 sind beim Scan als Inputs und D8...D11 als Outputs geschaltet.

Scanpath

There are four parallel scan paths. If CS=1 during the test mode 5, all registers are connected to shift registers. Setting CSN=1 all latches are transparent. The ports D0.. D3 are scan inputs and D8..D11 are scan outputs

Timing Diagramm für Testmode 5 (Typisch)

Timing Diagram for Test mode 5 (Typical)



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

6. Gehäusespezifikation und Anschlußbelegung

6.Package Specification and Definition of Interconnects

6.1. Anschlußbelegung

6.1. Definitions of Interconnects

VDD	Versorgungsspannung Power supply	digital	5V
VSS	Versorgungsspannung Power supply	digital	GND
VDDP	Versorgungsspannung Power supply	digital	5V
VSSP	Versorgungsspannung Power supply	digital	GND
VDDA	Versorgungsspannung Power supply	analog	5V
VSSA	Versorgungsspannung Power supply	analog	GND
ADJV	Referenzeingang reference input		Amplitudenreglung control of amplitude
UREF	Referenzeingang reference input		Amplitudenreglung control of amplitude
SGND	interne Signalmasse internal signal ground		(VDD + VSS) / 2
RW0A	Treiberausgang output driver		Referenzamplitude reference amplitude

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen... Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

RW2A	Treiberausgang output driver		Meßamplitude variable amplitude
RW0E	Meßeingang measuring input		Referenzamplitude reference amplitude
RW1E	Meßeingang measuring input		Differenzamplitude difference signal of the bridge
RW2E	Meßeingang measuring input		Meßamplitude variable amplitude
UIST	Analoges Ausgangssignal analog output signal		
D0....D11	Digitales Ausgangssignal digital output signal	D0 = LSB,	D0,...D4: Bidirektional) D0,...D4: bidirectional
BUS	Umschaltung 8- / 16- Bit - Bus switch 8- / 16- bit bus		
ALE	Adreß-Latch-Enable adress latch enable		
RDN	Read-Signal read signal	low aktiv low active	
WRN	Write-Signal write signal	low aktiv low active	
CS	Chip-Select-Signal chip select signal		
CSN	Chip-Select-Signal chip select signal	low aktiv low active	

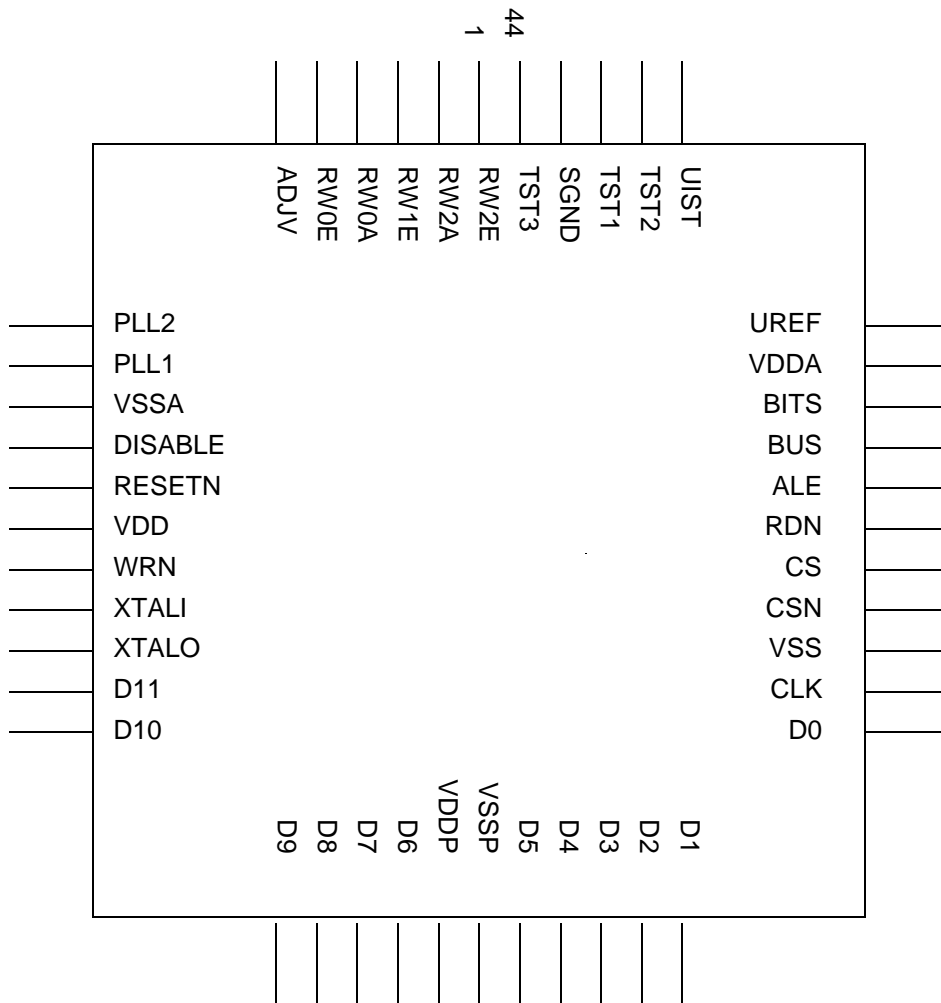
© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

	Schwingquarz Eingang	
XTALI	crystal input	
	Schwingquarz Ausgang	
XTALO	crystal output	
	Taktausgang	(Quarzfrequenz; gepuffert)
CLK	clock output	(quartz frequency; buffered)
	Steuereingang für Vorteiler	
PLL1	control input for prescaler	
	Steuereingang für Vorteiler	
PLL2	control input for prescaler	
	Störausblendung	
DISABLE	suppression of interference	
	Rücksetz - Eingang	low aktiv
RESETN	reset input	low active
	Testpins	
TST1...3	testpins	
	Testpins	
BITS	testpins	

6.2. Pinbelegung

6.2 Pin Configuration

44 pin Plastic Lead Chip Carrier PLCC



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

6.3. Padanschlüsse

6.3. Pad Diagram

	ADJV	RW0E	RW0A	RW1E	RW2A	RW2E	TST3	SGND	TST1	TST2	UIST	
PLL1												UREF
PLL2												VDDA VDDA
VSSA VSSA												BITS
DISAB LE												BUS
RE- SETN												ALE
VDD												RDN
WRN												CS
XTALI												CSN
XTALO												VSS
D11												CLK
D10												D0
	D9	D8	D7	D6	VDDP VDDP	VSSP VSSP	D5	D4	D3	D2	D1	

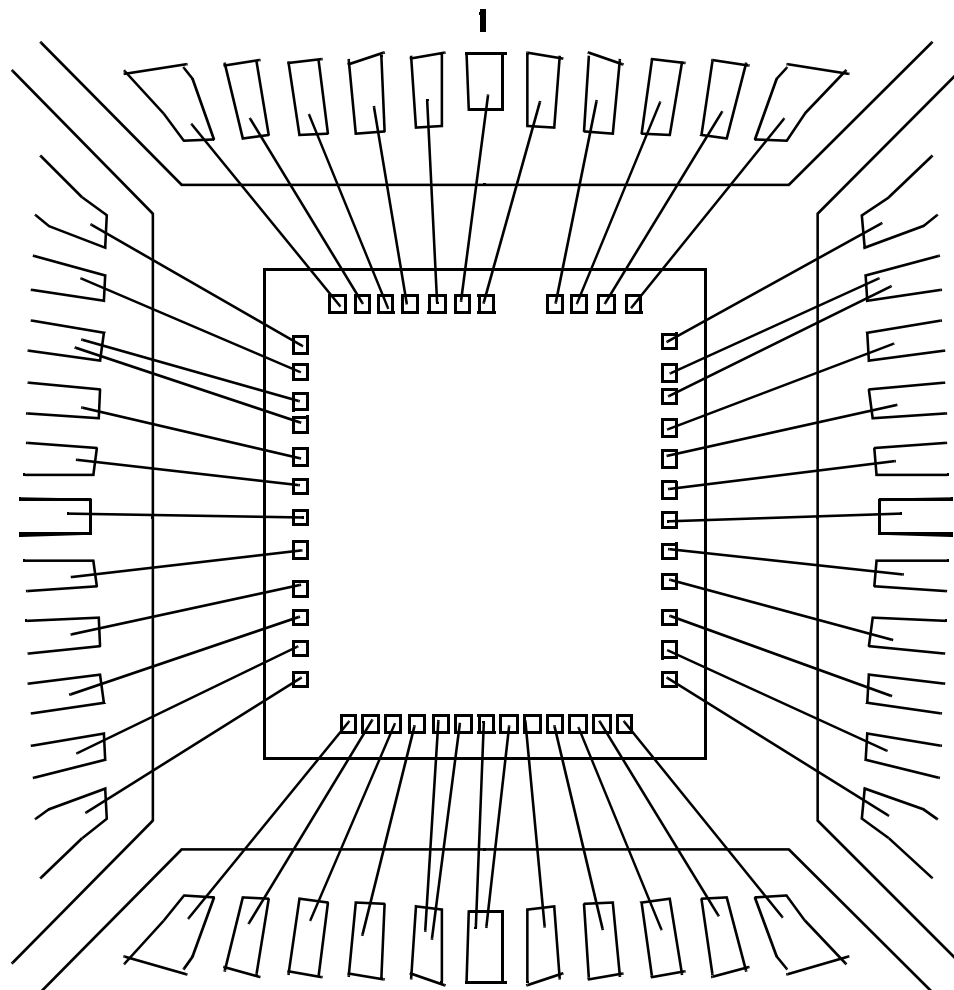
© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

6.4. Bondplan

6.4. Bond Diagram

CC215 in PLCC44 (0.23" x 0.23") AAP2, M = 15 : 1

Chipmaße: 3,90 mm x 4,34 mm

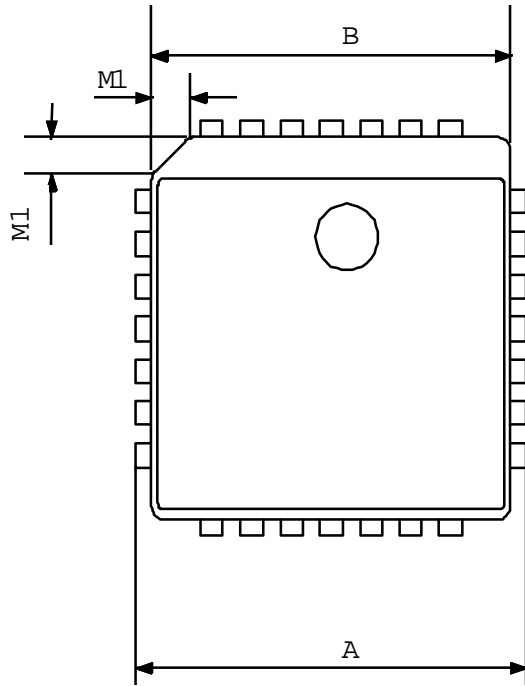


8.8.97 RtW/TFI1-Ru
H:\DOKU\EBV-AAP2\CC215.ppt

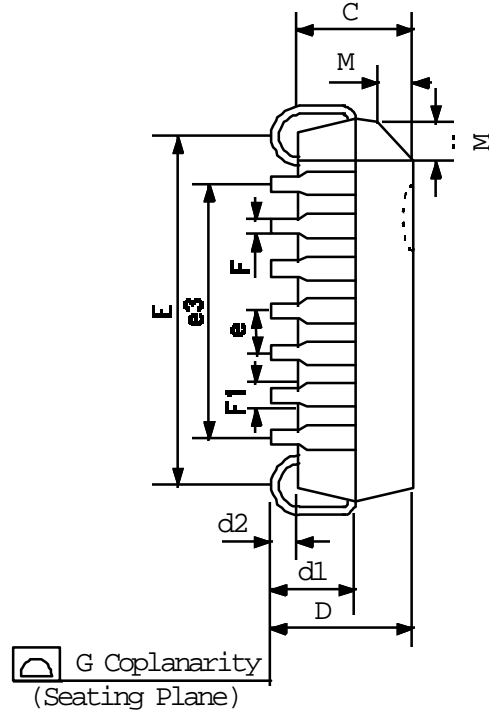
© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis wie Kopier- und Weitergaberecht, bei uns

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

6.5. Gehäusezeichnung



6.5. Package Dimensions



Die Gehäusemaße stehen in der JEDEC -Vorschrift:

JEDEC Solid State Products Outlines for Square Plastic Chip Carrier Family
 MS-018 Issue A (.050 Lead pitch, S-PQCC-J)

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

Figure 3

$$\frac{\text{PACKAGE LENGTH (INCHES)}}{\text{WARPAGE (MILS)}} = \text{WARPAGE FACTOR}$$



Figure 2

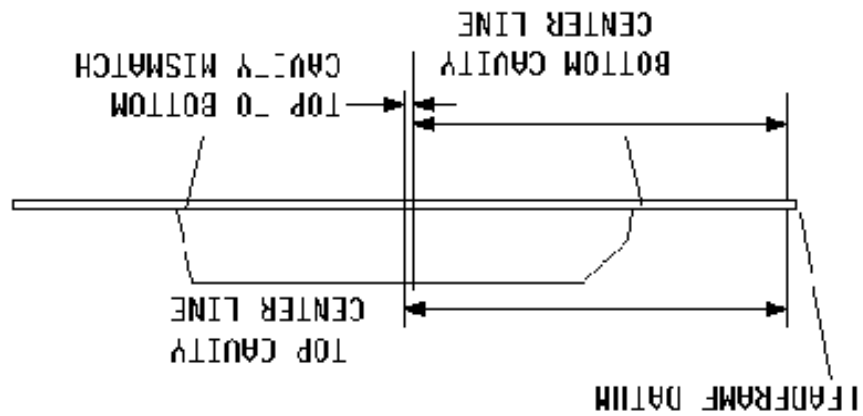
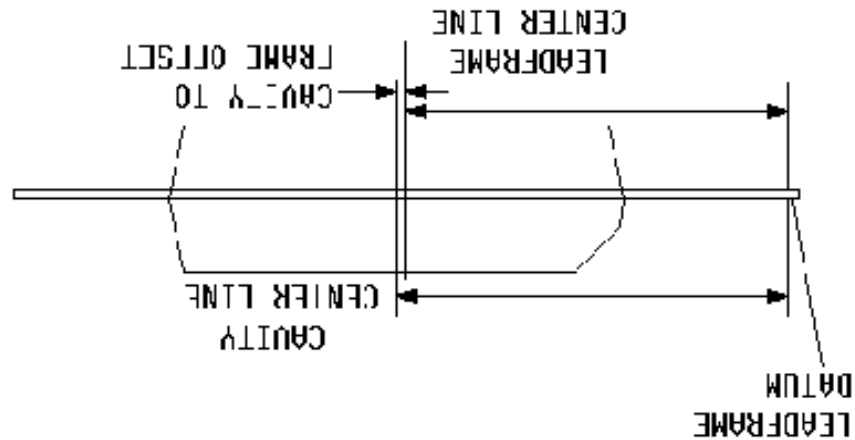


Figure 1

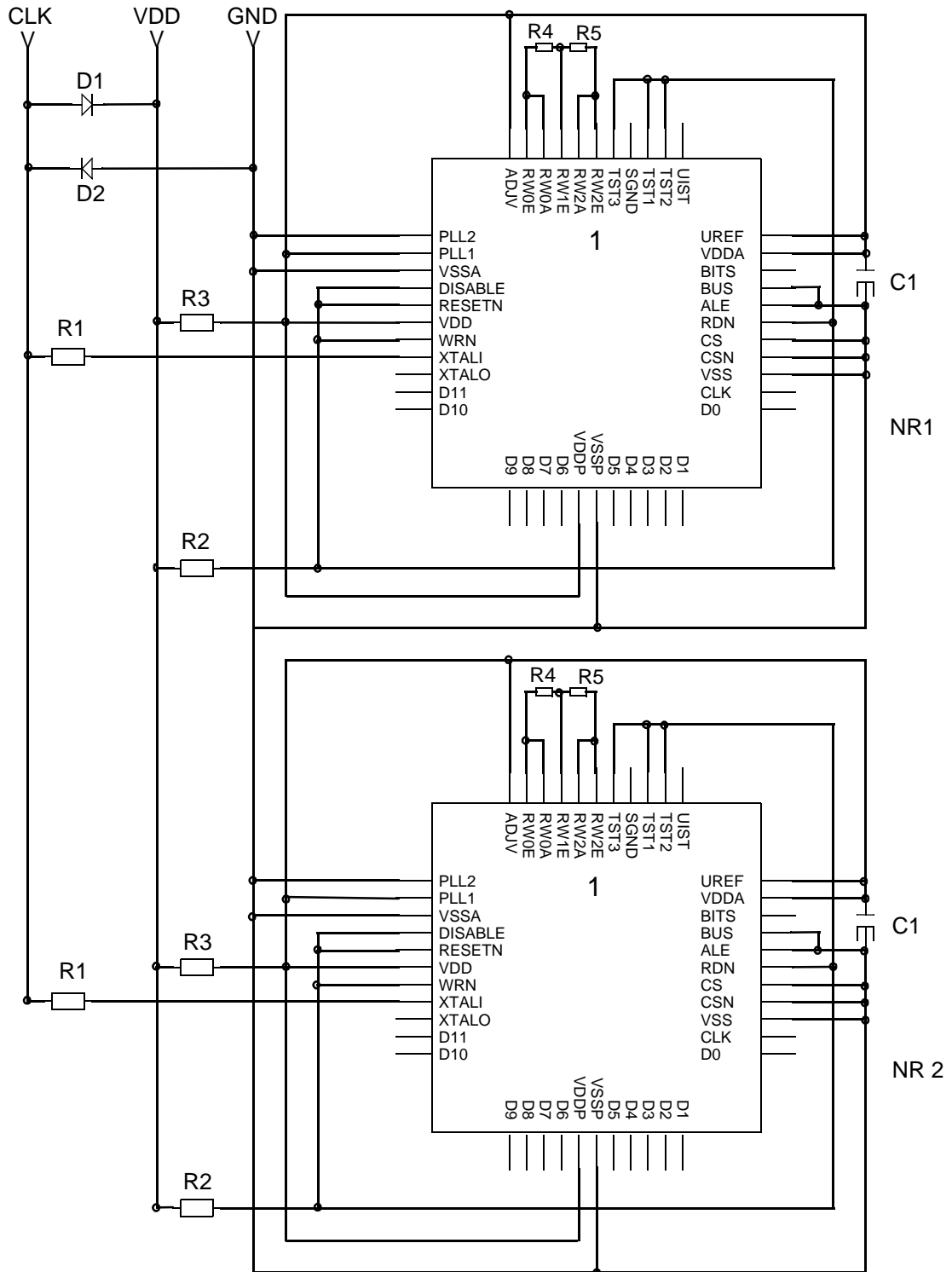


7. Burn-In

7.1 Burn-In Beschaltung

7. Burn-In

7.1 Burn-In Circuit



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsanmeldungen. Jede Verfügungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

7.2. Stückliste

7.2. Burn-In Parts List

Bezeichnung	Wert	Spezifikation		Bestellnummer
(Name)	(Value)	(Specification)		Ordering NO.
D1; D2				1N4148 o.ä
C1	1 µF	15V	125C	
R1	330Ω	0.5W	5%	
R2	1kΩ	0.25W	5%	
R3	4.7Ω	1.0W	5%	
R4	1kΩ	0.25W	5%	
R5	1kΩ	0.25W	5%	
VDD	5.5V		5%	
CLK	1MHz		5%	

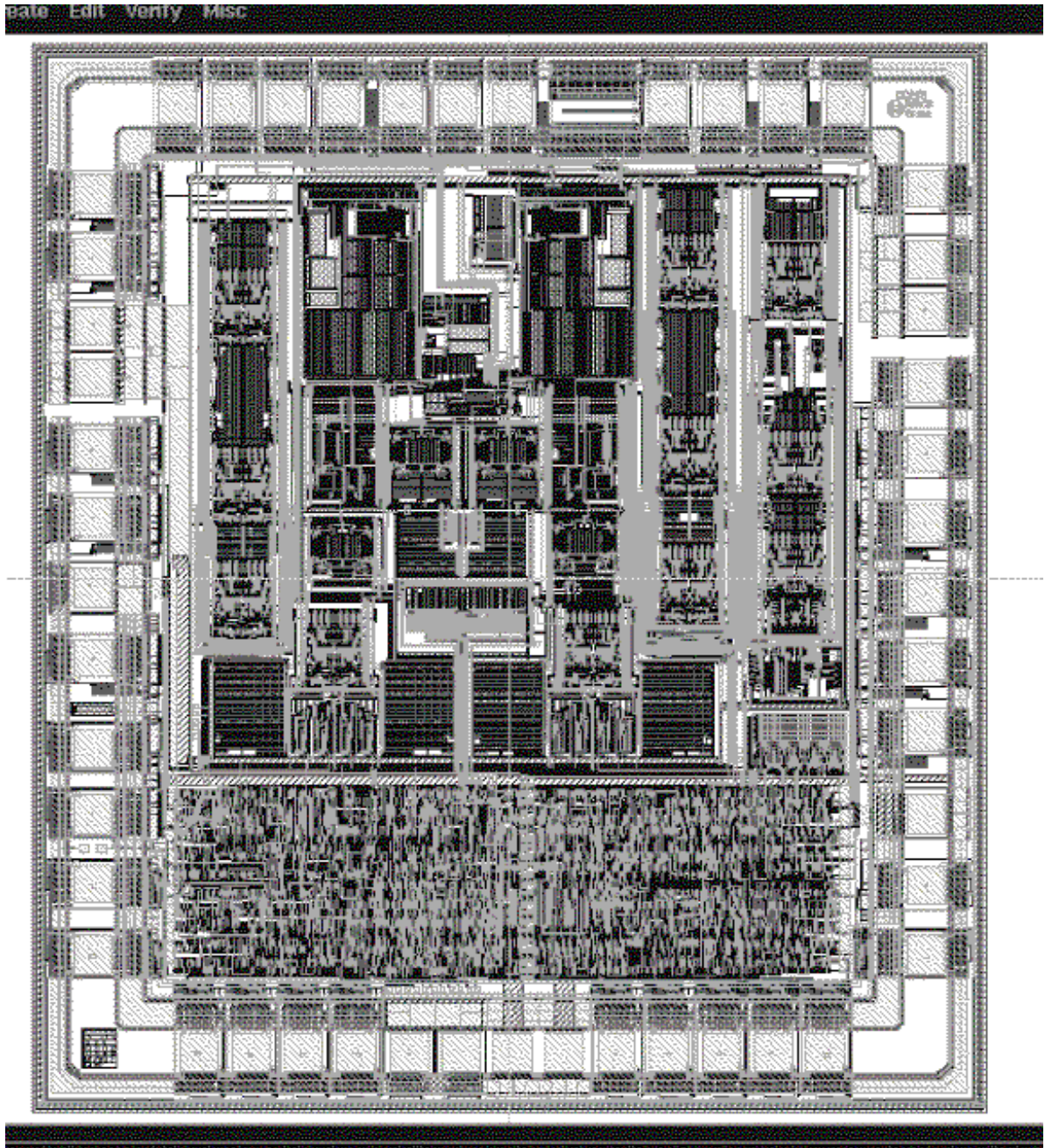
Burn-In gemäß Burn-In-Vorschrift
 Nr. 1 279 918 413

Burn-In procedure according to Burn-In
 Specification No.1 279 918 413

© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Verfügnungsbefugnis, wie Kopier- und Weitergaberecht, bei uns

8. Chipfoto

8. Chipfoto



© Alle Rechte bei ROBERT BOSCH GMBH, auch für den Fall von Schutzrechtsmeldungen. Jede Vertriebsbefugnis, wie Kopier- und Weitergaberecht, bei uns

9. Appendix

9.1 Änderungsdaten, zeitlich

9. Appendix

9.1 Modifications, chronological

Änderungen nach Rev. 1.3e
Modifications after Rev. 1.3e

15.05.98	1.1	Änderung der uG des Ausgangshubs von U_{ista} unter Last	Changing of the output swing of U_{ista} with current load
15.05.98	1.2	Festlegung der ESD-Spannung (HBM)	Defining the ESD-Voltage (HBM)
15.05.98	1.3	Festlegung der Versorgungsströme	Defining the supply-currents
15.05.98	1.4	Festlegung der Ruhestrome	Defining the quiescent currents
15.06.98	1.5	Änderung der Grenzen U_{ista} unter Last, Application Note Adressieren beim Readzyklus	Changing of the limits for U_{ista} under load, application note for addressing for read cycles
		Änderung der Grenzen von U_{ista} und U_{istd} für Spulenverhältnis >1.	Changing of the limits for U_{ista} and U_{istd} for coil ratio >1.0
25.11.99	1.6	Erweiterung der Grenzen für Offset RW0A-RW2A, Offset $V_{dd}/2$ -RW2A und digitale Welligkeit	extension of the limits of Offset RW0A-RW2A, Offset $V_{dd}/2$ -RW2A and ripple of U_{istd}
31.05.01	1.7	Einschränkung der Grenzen der Eingangsströme der Inputs ohne Pullup/Pulldown und der Pins D0-D11 im Tristate-Mode	reduction of the limits for input current for inputs without pullups or pulldowns and for pins D0-D11 being in tristate mode